

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061432
(43)Date of publication of application : 04.03.1994

(51)Int.Cl. H01L 27/06
H01L 29/784
H03K 17/08

(21)Application number : 04-231307 (71)Applicant : NIPPONDENSO CO LTD
ANDEN KK

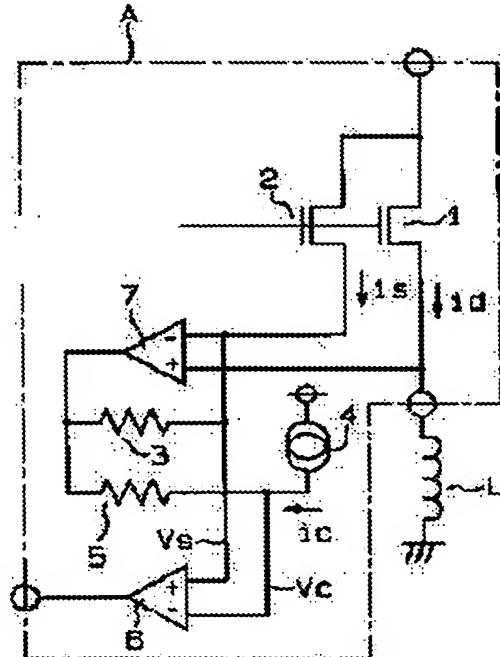
(22)Date of filing : 06.08.1992 (72)Inventor : AZEYANAGI SUSUMU
ISHIKAWA FUKUO
ISHIDA TOSHIO
IKEMOTO HIDEYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the cost of the device and to accurately detect an electric current without being affected by an ambient temperature.

CONSTITUTION: A power FET 1 which supplies an electric current to an external load L and a sense FET 2 which detects a supplied electric current are formed on the same chip A, and, in addition, a detection resistance element 3, a constant current source 4, a reference resistor element 5 and a comparator element 6 are formed on the chip A. Since the mutual relative accuracy of the detection resistor element 3 and the reference resistor element 5 which have been formed on the same chip is good, the same voltage is generated with reference to the same electric current. The resistance value of both resistor elements is changed when an ambient temperature is changed. However, their temperature characteristic is the same, a voltage change due to a change in the resistance value is offset by the comparator element 6, and a comparison result is not affected. Thereby, an electric current can be detected accurately.



LEGAL STATUS

[Date of request for examination] 10.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3313773

[Date of registration] 31.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

特開平6-61432

1

【特許請求の範囲】

【請求項1】 外部負荷へ電流を供給する電流供給素子と、供給電流に比例した検出電流を生じる電流検出素子と、検出電流をこれに応じた検出電圧に変換する検出抵抗素子と、定電流源と、定電流源からの定電流を一定の基準電圧に変換する基準抵抗素子と、上記検出電圧と基準電圧を比較して比較結果を出力するコンパレータ素子とを同一半導体チップ上に形成してなる半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパワーMOSFET(以下パワーFETといふ)等の電流供給素子と、これの供給電流を検出する電流検出素子を一体に形成した半導体装置に関する。

【0002】

【従来の技術】かかる半導体装置の素子構成の一例を図2に示す。図において、半導体チップA上には外部の負荷に電流を供給するパワーFET1が形成されており、該パワーFET1には供給電流i_dに比例した検出電流i_sを出力するセンスMOSFET2(以下センスFETといふ)が一体に形成されている。この検出電流i_sは、チップA上に形成したオペアンプ7の入出力端子間に接続された外付けの検出抵抗3に流れ、ここで検出電圧V_sに変換されて差動増幅回路7に入力した後、コンパレータ6で基準電圧V_cと比較される。

【0003】しかし、負荷短絡等により供給電流i_dが過大になると検出電圧V_sが基準電圧V_cを越え、コンパレータ6より電流検出信号が発せられて電源遮断等のパワーFETを保護する処理が採られる。

【0004】

【発明が解決しようとする課題】ところで、上記従来装置においては、検出抵抗3をチップA外に設けている。これはチップA内に形成する抵抗は、絶対精度が必ず(誤差は通常±20%程度)、温度特性も悪いため、同一検出電流に対しても検出電圧がバラつき、一定の基準電圧に対して電流検出信号発生のスレッショルドがチップ間でバラつき、あるいは基準温度によって変動するという問題が生じるからである。

【0005】そして、検出抵抗3をチップA外に設けた上記構成によると、この抵抗3両端に現れる検出電圧V_sを基準電圧V_cと同じアースレベルにするための作動増幅回路7を設ける等の必要があり、回路構造が複雑化するとともに、同一半導体チップA上に全ての回路を形成していないため、コストアップが避けられないという問題がある。

【0006】本発明はかかる課題を解決するもので、コスト低減と正確な電流検出を併せて実現した半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、半導体チップ

2

上に形成される抵抗素子は絶対精度は悪いが、同一チップ上の複数の抵抗素子間の相対精度は良く、かつ同一の温度特性を有することに注目してなされたもので、その構成を説明すると、半導体チップは、外部負荷Lへ電流を供給する電流供給素子1と、供給電流i_dに比例した検出電流i_sを生じる電流検出素子2と、検出電流i_sをこれに応じた検出電圧V_sに変換する検出抵抗素子3と、定電流源4と、定電流源4からの定電流i_cを一定の基準電圧V_cに変換する基準抵抗素子5と、上記検出電圧V_sと基準電圧V_cを比較して比較結果を電流検出信号として出力するコンパレータ素子6とを同一半導体チップA上に形成してなるものである。

【0008】

【作用】上記構成において、電流検出素子2より出力された検出電流i_sは検出抵抗素子3に流れて検出電圧V_sに変換される。一方、基準抵抗素子5では定電流i_cを変換して基準電圧V_cを作成し、この基準電圧V_cと上記検出電圧V_sがコンパレータ素子6にて比較され、電流検出信号が出力される。

【0009】同一チップA上に形成した検出抵抗素子3と基準抵抗素子5は互いの相対精度が良いから、同一電流に対して同一の電圧を発生する。また、基準温度の変化に伴い両抵抗素子3、5の抵抗値は変化するが、温度特性が同一であるから、抵抗値変化に伴う電圧変化はコンパレータ素子6で相殺され、比較結果には影響しない。かくして、正確な電流検出が可能である。

【0010】本発明では全ての回路素子が同一の半導体チップA上に形成されるから、製造コストの大割な低減が可能である。

【0011】

【実施例】図1には本発明の半導体装置の構成を示す。半導体チップA上には電流供給素子としてのパワーFET1が形成され、図略の制御回路より入力するゲート信号により外部負荷Lへの供給電流を制御する。上記パワーFET1のドレインより分岐して、ゲートを共通にする電流検出素子としてのセンスFET2が形成され、該センスFET2は供給電流i_dに比例した極く小さい(例えば400μA/A程度)検出電流を生じる。

【0012】オペアンプ素子7が形成され、その「-」端子と出力端子間に結んで検出抵抗素子3が形成されるとともに、この「-」端子に上記センスFET2のソースが接続されている。オペアンプ7の「+」端子はパワーFET1のソースに接続されている。

【0013】上記オペアンプ7の出力端子には基準抵抗素子5の一端が接続され、該基準抵抗素子5は上記検出抵抗素子3と同一形状で抵抗形成してある。基準抵抗素子5の他端は定電流源4に接続されている。

【0014】センスFET2からの検出電流i_sは検出抵抗素子3に流入してこれに比例した検出電圧V_sに変換される。また、定電流源4からの定電流i_cは基準抵

(3)

特開平6-61432

抗素子5に流入して一定の基準電圧 V_c に変換される。これら検出電圧 V_s と基準電圧 V_c はオペアンプ7の出力端子端位を共通端位とし、コンバレータ素子6に入力してここで大小が比較され、その比較結果が2個の電流検出信号として出力される。

【0015】かかる構造において、検出抵抗素子3と基準抵抗素子5は同一形状に被敷形成され、その抵抗値の相対精度は±1%程度と極めて良いから、両者の抵抗値の差は極く小さい。また、両抵抗素子3、5は温度特性も殆ど同じであるから、雰囲気温度が変化しても抵抗値の差が大きくなることはない。

【0016】しかして、雰囲気温度が変化しても、検出電流 i_s が定電流 i_c に等しければ必ず検出電圧 V_s は基準電圧 V_c に等しくなり、供給電流 i_d が予め定められた値に達して検出電流 i_s が定電流 i_c を越えると確実に電流検出信号が出力される。

【0017】

【発明の効果】以上の如く、本発明の半導体装置によれば*

*は、電流供給素子による供給電流を電圧に変換する抵抗素子、及び電流検出素子による検出電流を電圧に変換する抵抗素子の相対精度に着目し、これらの素子を一体の半導体チップ内に形成したため、各素子の相対精度の点から確実な電流検出が可能であると共に、コスト低減が可能である。

【図面の簡単な説明】

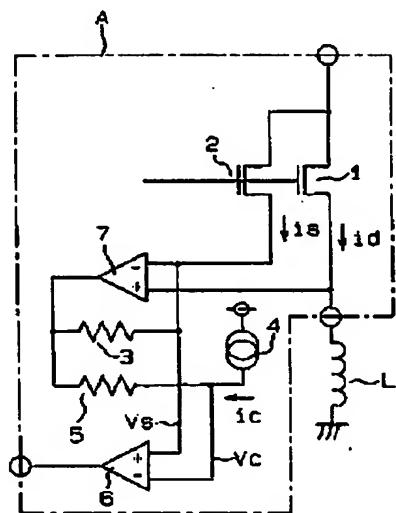
【図1】本発明の半導体装置の回路図である。

【図2】従来の半導体装置の回路図である。

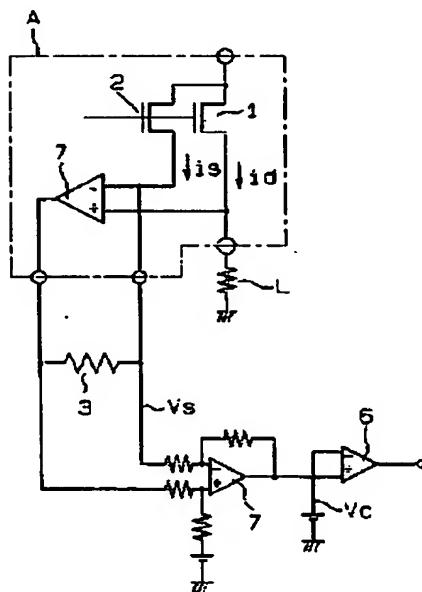
【符号の説明】

- 1 パワーMOSFET(電流供給素子)
- 2 センスMOSFET(電流検出素子)
- 3 検出抵抗素子
- 4 定電流源
- 5 基準抵抗素子
- 6 コンバレータ素子
- A 半導体チップ
- L 外部負荷

【図1】



【図2】



フロントページの続き

(72)発明者 石田 俊男
愛知県安城市藤目町井山3番地 アンデン
株式会社内

(72)発明者 池本 秀行
愛知県安城市藤目町井山3番地 アンデン
株式会社内